

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 09274612 A

(43) Date of publication of application: 21 . 10 . 97

(51) Int. Cl

G06F 17/16

(21) Application number: 08110237

(71) Applicant: HITACHI LTD

(22) Date of filing: 05 . 04 . 96

(72) Inventor: KOGA MIHOKO
TAMAOKI YOSHIKO
FURUKAWA MASAO

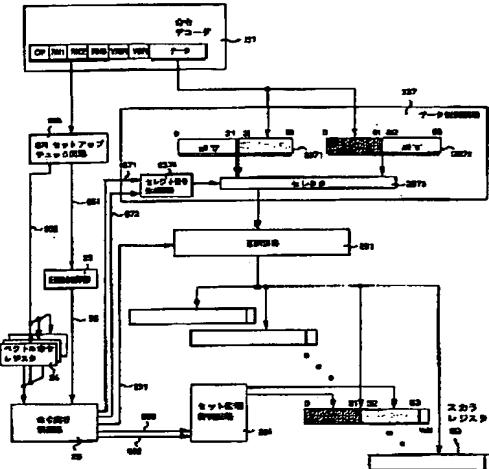
(54) VECTOR PROCESSOR

COPYRIGHT: (C)1997,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To shorten set time by directly performing the set of scalar data to a scalar register at a vector processor corresponding to a vector instruction.

SOLUTION: As a pair of vector instructions, a VLI instruction for setting immediate value data to the low-order 32 bits of the scalar register and a VLIS instruction for setting immediate value data to the high-order 32 bits of the scalar register are prepared, these instructions are composed of OP codes, scalar register numbers to be set and immediate data and by decoding the instructions, the immediate value data are set to the low-order side of register 2371 and the high-order side of a register 2372 at a data control circuit. When executing the instruction, in the case of VLI instruction, the data in the register 2371 are selected and these data are written in the scalar register to be set by a selection circuit. In the case of VLIS instruction, the data in the register 2372 are selected and the data are written in the scalar register to be set by the selection circuit but only the high-order part of data is written corresponding to the designation of a set signal control circuit.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-274612

(43)公開日 平成9年(1997)10月21日

(51) Int.Cl.⁶

識別記号 庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数2 FD (全 8 頁)

(21)出願番号 特願平8-110237
(22)出願日 平成8年(1996)4月5日

(71) 出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目 6 番地

(72) 発明者 古賀 美穂子
神奈川県秦野市堀山下 1 番地 株式会社日立製作所汎用コンピュータ事業部内

(72) 発明者 玉置 由子
東京都国分寺市東恋ヶ窪 1 丁目280番地
株式会社日立製作所中央研究所内

(72) 発明者 古川 政男
神奈川県秦野市堀山下 1 番地 株式会社日立製作所汎用コンピュータ事業部内

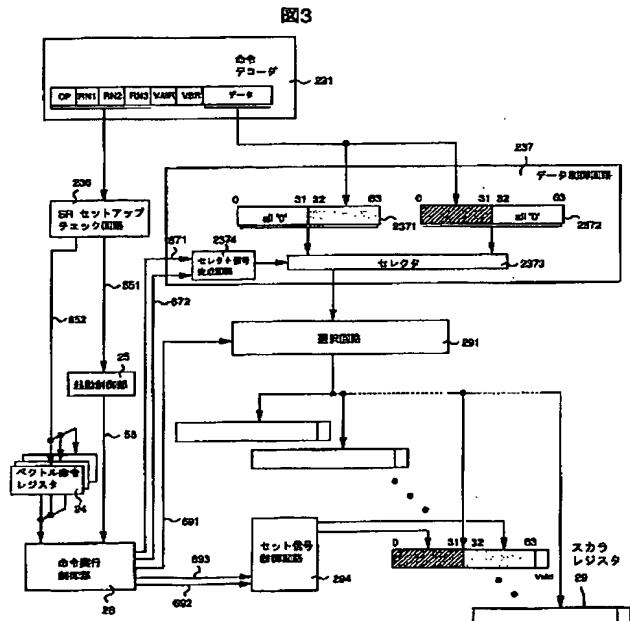
(74) 代理人 弁理士 篠岡 茂 (外 1 名)

(54) 【発明の名称】 ベクトル処理装置

(57) 【要約】

【課題】 ベクトルプロセッサにおけるスカラデータのスカラレジスタへのセットを直接ベクトル命令で行いセット時間を探る。

【解決手段】 一対のベクトル命令として、スカラレジスタの下位32ビットに即値データを設定するV L I 命令と、スカラレジスタの上位32ビットに即値データを設定するV L I S 命令を用意し、これら命令はO P コードと設定するスカラレジスタ番号と即値データからなり、命令コードにより即値データをデータ制御回路のレジスタ2371の下位側とレジスタ2372の上位側にセットし、命令実行時にV L I 命令の場合は、レジスタ2371のデータを選択し、選択回路により、設定するスカラレジスタに該データを書き込み、V L I S 命令の場合は、レジスタ2372のデータを選択し、選択回路により、設定するスカラレジスタに該データを書き込むが、セット信号制御回路の指定で該データの上位部分のみを書き込む。



【特許請求の範囲】

【請求項1】 スカラの即値データをスカラレジスタにセットするベクトル命令を実行するベクトル処理装置であつて、

前記ベクトル命令は、オペレーションコードと、設定するスカラレジスタ番号と、即値データを有し、

命令実行判定回路は、該ベクトル命令をデコードして、即値データをデータ制御回路に転送し、他の部分をベクトル命令レジスタに転送し、

命令実行制御部は命令起動に応じて前記ベクトル命令レジスタの内容に従い、選択回路により前記スカラレジスタ番号のスカラレジスタを選択して前記データ制御回路内の即値データを書き込むことを特徴とするベクトル処理装置。

【請求項2】 スカラの即値データをスカラレジスタにセットするベクトル命令を実行するベクトル処理装置であつて、

前記ベクトル命令は、VLI命令とVLIS命令の一対の命令からなり、

VLI命令は、オペレーションコードと、設定するスカラレジスタ番号と、スカラレジスタの下位側部分の即値データを有し、

VLIS命令は、オペレーションコードと、設定するスカラレジスタ番号と、スカラレジスタの上位側部分の即値データを有し、

命令実行判定回路は、前記VLI命令またはVLIS命令をデコードして、即値データをデータ制御回路の第1のレジスタの下位部分と第2のレジスタの上位部分に転送し、命令の他の部分をベクトル命令レジスタに転送し、

命令実行制御部は命令起動に応じて前記ベクトル命令レジスタの内容に従い、

VLI命令の場合は、前記データ制御回路内の第1のレジスタのデータをセレクタにより選択して選択回路に転送し、選択回路により前記スカラレジスタ番号のスカラレジスタを選択して該データを書き込み、

VLIS命令の場合は、前記データ制御回路内の第2のレジスタのデータをセレクタにより選択して選択回路に転送し、選択回路により前記スカラレジスタ番号のスカラレジスタを選択し、かつセット信号制御回路の制御の下に該データの上位部分のみを書き込むことを特徴とするベクトル処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、科学技術計算などで多く出現する関数計算等、スカラデータが多量に必要な場合の処理の高速化に好適なベクトル処理装置に関する。

【0002】

【従来の技術】 従来のベクトル処理装置は、スカラデー

タをスカラレジスタにセットするためには、ベクトル処理準備命令のLMS (Load Multiple Scalar) 命令等により、主記憶装置から読み出し、記憶制御ユニット、データ転送回路を経由して、スカラレジスタにデータをセットしていた。そのため、各ユニットを経由するだけでなく、さらにセットすべきスカラデータの数が多い場合は、主記憶アクセスの競合や、主記憶装置上のバンクの競合などにより、待ちが生じることがあり、時間がかかっていた。一般に、関数計算では、係数部分に多量のスカラデータが必要であり、スカラレジスタを多数使用する。したがって、従来のベクトル処理装置では、DOループの中に関数が出てきた場合、関数以前のベクトル処理終了後、再びベクトル処理起動を行ない、スカラレジスタの値をセットし直し、さらにまた、関数の処理終了後、再びベクトル処理起動を行ない、関数以後のベクトル処理で用いるスカラレジスタの値をセットし直していた。すなわち、1つのDOループで少なくとも3回はベクトル処理起動をおこなっており、しかも、関数部分では多量のスカラデータを主記憶装置から読み出し、記憶制御ユニット、データ転送回路を経由して、スカラレジスタにセットしていたため、処理時間が長くなっていた。

【0003】

【発明が解決しようとする課題】 従来技術では、ベクトル処理起動の際に、スカラレジスタにデータを主記憶装置から読み出してセットしていたため、関数計算の係数等のように必要なスカラデータの数が多い場合に、ベクトル処理起動に時間がかかり、しかも、関数を含むループの処理は、ベクトル処理起動を複数回行なわなければならず、ベクトル処理起動の時間が全体のベクトル処理時間に占める割合が高くなり、ベクトル処理の高速化を妨げていた。本発明の目的は、関数計算等で必要なスカラデータを、直接ベクトル命令で指定し、ベクトルプロセッサの中で、スカラレジスタにセットすることにより、ベクトル処理起動時のスカラのセットアップ時間を短縮すると同時に、ベクトル処理起動回数をも減らすことにより高速演算を可能にすることである。

【0004】

【課題を解決するための手段】 上記目的を達成するため、本発明は、スカラの即値データをスカラレジスタにセットするベクトル命令を実行するベクトル処理装置であり、前記ベクトル命令は、オペレーションコードと、設定するスカラレジスタ番号と、即値データを有し、命令実行判定回路は、該ベクトル命令をデコードして、即値データをデータ制御回路に転送し、他の部分をベクトル命令レジスタに転送し、命令実行制御部は命令起動に応じて前記ベクトル命令レジスタの内容に従い、選択回路により前記スカラレジスタ番号のスカラレジスタを選択して前記データ制御回路内の即値データを書き込むようにしている。また、前記ベクトル命令は、VLI命令

と V L I S 命令の一対の命令からなり、 V L I 命令は、オペレーションコードと、設定するスカラレジスタ番号と、スカラレジスタの下位側部分の即値データを有し、 V L I S 命令は、オペレーションコードと、設定するスカラレジスタ番号と、スカラレジスタの上位側部分の即値データを有し、命令実行判定回路は、前記 V L I 命令または V L I S 命令をデコードして、即値データをデータ制御回路の第1のレジスタの下位部分と第2のレジスタの上位部分に転送し、命令の他の部分をベクトル命令レジスタに転送し、命令実行制御部は命令起動に応じて前記ベクトル命令レジスタの内容に従い、 V L I 命令の場合は、前記データ制御回路内の第1のレジスタのデータをセレクタにより選択して選択回路に転送し、選択回路により前記スカラレジスタ番号のスカラレジスタを選択して該データを書き込み、 V L I S 命令の場合は、前記データ制御回路内の第2のレジスタのデータをセレクタにより選択して選択回路に転送し、選択回路により前記スカラレジスタ番号のスカラレジスタを選択し、かつセット信号制御回路の制御の下に該データの上位部分のみを書き込むようにしている。 10

【0005】

【発明実施の形態】以下、本発明の一実施形態を詳細に説明する。図1は、本発明のベクトル処理装置の一実施形態を示す全体の構成図であり、1はスカラプロセッサ、2はベクトルプロセッサ、3は記憶制御ユニット、4は主記憶装置である。ベクトルプロセッサ2は、ベクトル命令バッファ21、ベクトルアドレスレジスタ22、命令実行判定回路23、ベクトル命令レジスタ24、起動制御部25、命令実行制御部26、ベクトル演算器271、後処理演算器272、ベクトルレジスタ28、スカラレジスタ29、データ転送回路210から構成されている。図では、ベクトル演算器271やデータ転送回路210は、1つしか示していないが、実際は複数あってもよい。

【0006】図1において、スカラプロセッサ1は、ベクトル処理を行なわなければならなくなつた場合、ベクトルプロセッサ2に対して、ベクトル処理起動をかける。この時、スカラプロセッサ1では、ベクトル処理準備命令を処理する。ベクトル処理準備命令には、例えば、以下のようないわゆる命令がある。

L M A (Load Multiple Vector Address & Increment) 命令

L M B (Load Multiple Vector Base) 命令
これらの命令は、共に、主記憶装置4上にあるデータ(アドレス)を記憶制御ユニット3を経由して、ベクトルアドレスレジスタ22にセットする。

L M S (Load Multiple Scalar) 命令

この命令は、主記憶装置4上にあるデータ(スカラデータ)を記憶制御ユニット3を経由して、スカラレジスタ29にセットする。 20

E X V P (Execute Vector Processing) 命令

この命令は、ベクトルプロセッサ2にベクトル処理の開始を指示する。スカラプロセッサ1では、順次、このようなベクトル処理準備命令を処理する。

【0007】 L M S 命令の処理では、主記憶装置4上のスカラデータは、記憶制御ユニット3を経由し、選択回路291を通って、スカラレジスタ29にセットされる。選択回路291は、このような主記憶装置4からのスカラデータの他、スカラプロセッサ1からのスカラデータや、内積、総和等の後処理演算器272により得られた演算結果等を指定されたスカラレジスタ29にセットする。スカラレジスタ29にデータがセットされると同時に、対応する V a l i d ビットも1にセットされる。 V a l i d ビットは、スカラレジスタ29の各々のレジスタに対応して1ビットずつ設けられており、スカラレジスタ29にデータがセットされると、対応する V a l i d ビットの値を1にセットするようになっている。これにより、スカラデータのスカラレジスタ29へのセットが終了したか否かを管理することができる。 20

【0008】また、 E X V P 命令の処理では、ベクトルプロセッサ2に対し、ベクトル処理開始信号12が送出され、主記憶装置4上のベクトル命令列の先頭アドレスからベクトル命令列が読み出され、ベクトル命令バッファ21にセットされる。なお、 V a l i d ビットによりスカラデータのスカラレジスタ29へのセット終了が管理されているため、スカラレジスタ29へのデータのセット終了を待たずに、ベクトル処理起動を開始することが出来る。

【0009】命令実行判定回路23では、命令デコーダ231が、ベクトル処理開始信号12を受け取ると、ベクトル命令バッファ21の先頭取り出し位置から、1つのベクトル命令を取り出してデコードする。図1の命令デコーダ231の中には、取り出したベクトル命令のデコード結果のフォーマットを示してある。これにおいて、 O P は演算の種類を表すオペレーションコード、 R N 1 ~ R N 3 は、ベクトルレジスタ番号あるいはスカラレジスタ番号を指定するレジスタ指定部、 V A I R N および V B R N は、ともにベクトルアドレスレジスタ番号を指定するベクトルアドレスレジスタ指定部である。また、ベクトル命令レジスタ24に示したフォーマットも同様であるが、さらに A L N はこのベクトル命令で使用するベクトル演算器を指定するベクトル演算器指定部、 T R N はこのベクトル命令で使用するデータ転送回路を指定するデータ転送回路指定部である。 40

【0010】命令デコーダ231は、デコードされたベクトル命令が実行可能かどうかを判定するために、コンフリクトチェック回路235にデコード結果を送出する。ベクトル命令が、実行可能かどうかの判定には、取り出したベクトル命令で指定されたベクトルレジスタ28やスカラレジスタ29、そのベクトル命令で指定され 50

た演算を行なうためのベクトル演算器271やデータ転送回路210があいていることが必要であり、そのため、表示回路234の結果を用いて、コンフリクトチェックを行なう。表示回路234は、ベクトル演算器271、ベクトルレジスタ28、スカラレジスタ29、データ転送回路210の各々に対応して1個ずつの表示子を備え、それらが使用中であるかどうかを表示したものである。コンフリクトチェック回路235は、これらの表示子を参照することにより、取り出したベクトル命令で指定されたベクトルレジスタ28やスカラレジスタ29、そのベクトル命令で指定された演算を行なうためのベクトル演算器271やデータ転送回路210があいているかどうかを調べ、必要なものがすべて空いていることを検出すると、そのベクトル命令は、実行可能であると判定し、信号線341を起動制御部25に送出し、そのベクトル命令のデコード結果を信号線342によってベクトル命令レジスタ24に送出す。そして、その場合には、そのベクトル命令で使用するベクトルレジスタ28、スカラレジスタ29、ベクトル演算器271、データ転送回路210に対応する表示子を、それらが使用中であることを表示するようにセットする。必要なものが使用中の時は、空くまで待つ。

【0011】また、そのベクトル命令でスカラレジスタ29が指定されている場合は、Validビット読み出し制御回路232から、指定されたスカラレジスタ29に対応するValidビットの値を読み出す指示を信号線39を介してスカラレジスタ29に送出し、Validビットの値を読み出す。SRセットアップチェック回路236では、読み出されたValidビットの値によ*

DO 10 I=1,N

(ベクトル処理)

10 CONTINUE

【0015】一般に、関数計算では、係数部分に多量のスカラデータが必要であり、スカラレジスタ29を多数使用する。したがって、このようなDOループの中に関数が出てきた場合、関数以前の(ベクトル処理)終了後、再びベクトル処理起動を行ない、スカラレジスタ29の値をセットし直さなければならず、さらにまた、関数の処理終了後、再びベクトル処理起動を行ない、関数以後の(ベクトル処理)で用いるスカラレジスタ29の値をセットし直さなければならない。このことにより、上記のDOループの処理においては、ベクトル処理実行時間以外に、ベクトル処理起動時間が多くかかり、しかも、多量のスカラデータを主記憶装置から読み出し、記憶制御ユニット3を経由して、スカラレジスタ29にセットしなくてはならず、処理時間が長くなる。しかし、

10

20

40

*り、指定されたスカラレジスタ29に対してデータのセットが終了しているかどうかを判断する。指定されたスカラレジスタ29に対応するValidビットの値が1で、なおかつ、そのスカラレジスタ29とそのベクトル命令で指定されたベクトルレジスタ28や、そのベクトル命令で指定された演算を行なうためのベクトル演算器271やデータ転送回路210がコンフリクトチェックの結果、すべて空いていれば、そのベクトル命令は実行可能であると判定し、その判定結果を信号線351を介して起動制御部に送出し、そのベクトル命令のデコード結果を信号線352によってベクトル命令レジスタ24に送出する。Validビットの値が0ならば、指定されたスカラレジスタ29にデータがまだセットされていないため、Validビットの値が1になるまでそのベクトル命令は実行しない。

【0012】起動制御部25は、命令実行判定回路23から信号線341または351を受け取ると、命令実行制御部26に対して、起動信号56を送出する。命令実行制御部26は、起動信号56を受け取ると、ベクトル命令レジスタ24から1つのベクトル命令を取り出し、そのベクトル命令で指定されたベクトル演算器271、ベクトルレジスタ28、スカラレジスタ29、データ転送回路210にベクトル処理動作を行なわせる。

【0013】以上のようにして、通常のベクトル処理が行なわれるが、このようなベクトル処理装置において、次のようなDOループを処理することを考える。

【0014】

【数1】

$$\sin X(I) = A_1 X(I) + A_2 X(I)^3 + A_3 X(I)^5 + A_4 X(I)^7 + \cdots + A_n X(I)^{2n+1} \quad (数1)$$

(ベクトル処理)

本発明では2つのベクトル命令を新設し、これらの命令を実行するための構成を設けることにより、このようなDOループの処理でも、ベクトル処理起動を1回にすることができ、また、多量のスカラデータをスカラレジスタ29にセットする時間も大幅に短縮することができる。

【0016】図2は、新設した2つのベクトル命令の仕様を示したものである。VL1命令では、スカラレジスタ29の下位32ビットに即値データを設定し、VL1S命令では、スカラレジスタ29の上位32ビットに即値データを設定する。ただし、必ず、これら2つのベクトル命令は、セットで用いることとする。図3は、図1における、新設した2つのベクトル命令を実行する構成

50 部分を示す図であり、データ制御回路237からスカラ

レジスタ29までのデータの流れに沿って詳細に示した図である。

【0017】以下、図1と図3を用いて2つのベクトル命令の処理動作について説明する。図1において、命令実行判定回路23では、命令デコーダ231はベクトル処理開始信号12を受け取ると、ベクトル命令バッファの先頭取り出し位置から、1つのベクトル命令を取り出してデコードする。命令デコーダ231にはVLI命令およびVLSI命令をデコードする手段を設ける。取り出したベクトル命令がVLI命令またはVLSI命令の場合、Validビット読み出し制御回路232が起動され、該Validビット読み出し制御回路232は指定されたスカラレジスタ29に対応するValidビットの値を読み出すよう読み出し指示信号を信号線39により送り出し、Validビットの値を読み出す。なお、図3ではValidビット読み出し制御回路232およびスカラレジスタ29からのValidビット読み出し信号線の図示は省略している。一方、命令デコーダ231は、VLI命令またはVLSI命令で指定された即値データ32ビットを、データ制御回路237に送出する。

【0018】図3に示すように、データ制御回路237では、命令デコーダ231から受け取った32ビットのデータの上位に、32ビットa11'0'のデータを追加した64ビットデータ2371と、32ビットのデータの下位に、32ビットa11'0'のデータを追加した64ビットデータ2372を生成する。SRセットアップチェック回路236では、読み出されたValidビットの値が0ならば、そのスカラレジスタ29への書き込みが可能と判断し、信号線651を介して判断結果の信号を起動制御部25に送り出し、オペレーションコード等のデコード結果を信号線652によってベクトル命令レジスタ24に送出する。

【0019】起動制御部25は、信号線651を受け取ると、命令実行制御部26に対して、信号線56により起動信号を送出する。命令実行制御部26は、起動信号を受け取ると、ベクトル命令レジスタ24から1つのベクトル命令を取り出し、それがVLI命令またはVLSI命令であることを確認すると、データ制御回路237に対して、セレクト信号生成回路2374を起動する信号を信号線671により送り出し、また、それと同時に信号線672によってオペレーションコードを送出する。データ制御回路237では、64ビットデータ2371と64ビットデータ2372のうちの1つを、セレクタ2373により選択するようになっている。セレクト信号は、信号線671からの起動信号と、信号線672からのオペレーションコードの入力によりセレクト信号生成回路2374で生成される。VLI命令の場合は、64ビットデータ2371を選択するように、VLSI命令の場合は、64ビットデータ2372を選択するよう

にセレクト信号がセレクト信号生成回路2374で生成される。

【0020】また、命令実行制御部26は、選択回路291に対して、指定されたスカラレジスタ29に64ビットのデータを書き込むよう指示する信号を信号線691により送出する。それと同時に、スカラレジスタ29へのセット信号を制御するセット信号制御回路294に対して、信号線692によりセット信号を、信号線693によってオペレーションコードを送出する。セット信号制御回路294は、オペレーションコードの内容に応じて、VLSI命令の場合は、64ビットのデータのうち、上位32ビット分だけを書き込むよう、下位32ビットへのセット信号を抑止する。VLI命令の場合は、64ビットのデータ全部を書き込むため、何もしない。このようにして、VLI命令によって指定された即値データ32ビットが、指定されたスカラレジスタ29の下位32ビットへ、VLSI命令によって指定された即値データ32ビットが、指定されたスカラレジスタ29の上位32ビットに書き込まれる。また、VLSI命令によるスカラレジスタ29への書き込みと同時に、そのスカラレジスタ29に対応するValidビットの値を1にする。

【0021】ここで、VLI命令およびVLSI命令で指定されたスカラレジスタ29に対応するValidビットの値は、即値データを書き込む前は必ず0であるはずであるが、Validビット読み出し制御回路232により読み出した値が1の場合は、コンパイラのバグによるものか、ハードウェアの何らかの不良によるものと考え、Validビットの値が0である時と同様の手順で、指定されたスカラレジスタ29に上書きを行なう。なお、1になったValidビットは、ベクトル処理終了後、コンパイラによって、リセットされる。

【0022】以上のようにして、VLI命令およびVLSI命令の2つのベクトル命令を新設し、これらの命令を実行するために必要な構成を設けることによって、ベクトルプロセッサ2の中で、ベクトル命令で指定した即値データを、スカラレジスタ29にセットすることができ、主記憶装置4から読み出したスカラデータを記憶制御ユニット3を経由して、スカラレジスタ29にセットするのに比べて、短時間でセットできる。

【0023】

【発明の効果】本発明によれば、スカラの即値データを、直接ベクトル命令で指定し、ベクトルプロセッサの中で、スカラレジスタにセットすることができるようになり、関数計算のような多量のスカラデータが必要な場合の、ベクトル処理起動時のスカラのセットアップ時間を見短縮すると同時に、関数計算等を含むDOループのベクトル処理起動の回数を減らすことができ、ベクトル処理の高速化が実現できる。

【図面の簡単な説明】

9

【図1】本発明のベクトル処理装置の一実施形態を示す全体の構成を示す図である。

【図2】本発明で新設したベクトル命令の仕様を示した図である。

【図3】新設した2つのベクトル命令を実行する構成部分を示す図である。

【符号の説明】

- 1 スカラプロセッサ
- 2 ベクトルプロセッサ
- 3 記憶制御ユニット
- 4 主記憶装置
- 21 ベクトル命令バッファ

- 10 * 22 ベクトルアドレスレジスタ
- 23 命令実行判定回路
- 24 ベクトル命令レジスタ
- 25 起動制御部
- 26 命令実行制御部
- 28 ベクトルレジスタ
- 29 スカラレジスタ
- 210 データ転送回路
- 237 データ制御回路
- 10 271 ベクトル演算部
- 281、282、291、292 選択回路
- *

【図2】

図2

VLI (Vector Load Immediate) 命令

：スカラレジスタの下位32ビットに即値データを設定する。

(上位32ビット=all '0'、下位32ビット=即値データ)

VLIS (Vector Load Immediate Shifted) 命令

：スカラレジスタの上位32ビットに即値データを設定する。

(上位32ビット=即値データ、下位32ビット=変わらず)

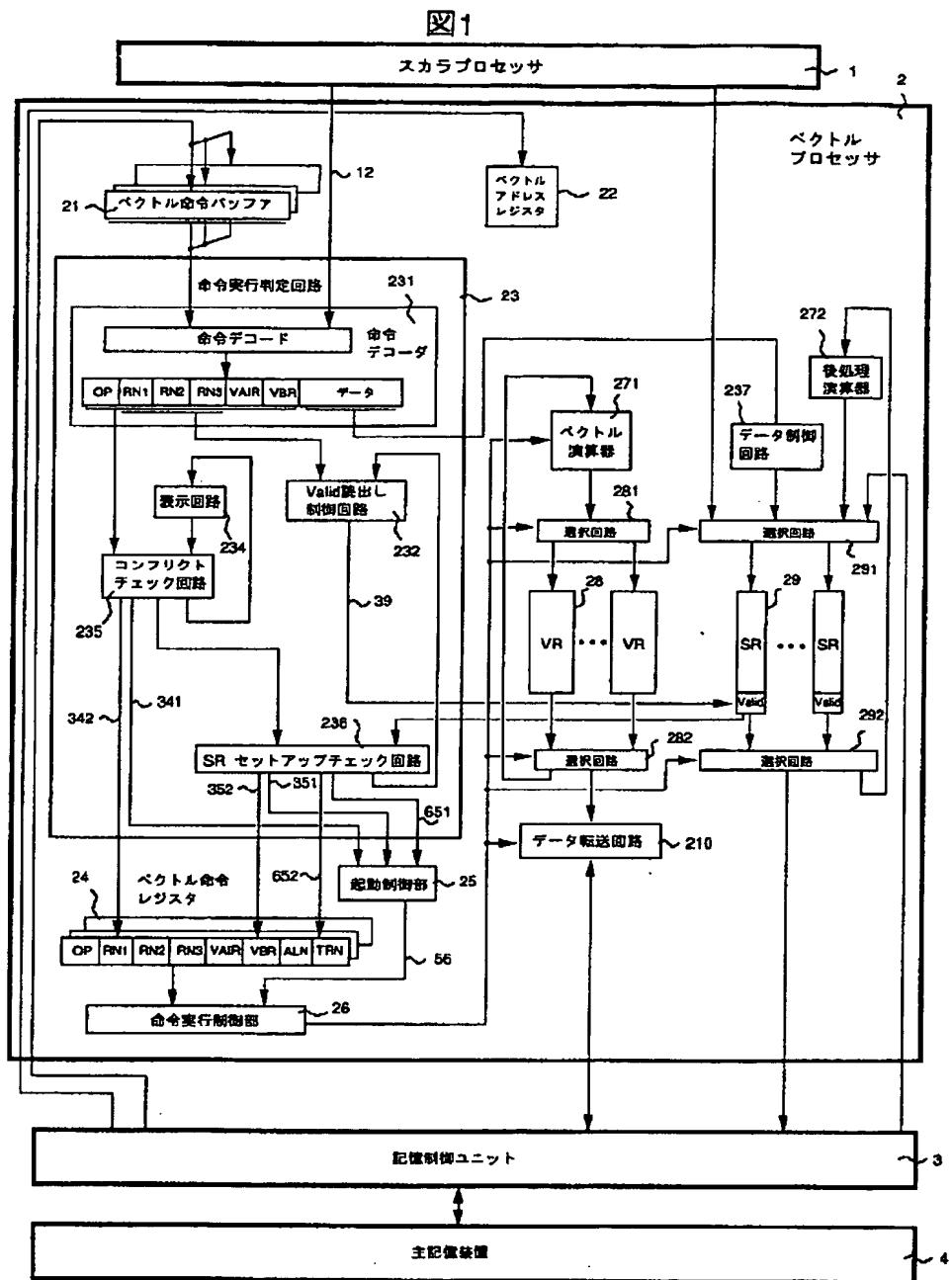


OP：オペレーションコード

SR：設定するスカラレジスタ番号

IMM：スカラレジスタに設定する即値データ

【図1】



【図3】

図3

